

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

Low capacity chip component, in particular PIN chip diode.

Patent number: EP0402188
Publication date: 1990-12-12
Inventor: MUR REMY (FR)
Applicant: THOMSON CSF (FR)
Classification:
- international: H01L23/482
- european: H01L23/482A, H01L23/482B
Application number: EP19900401283 19900515
Priority number(s): FR19890007453 19890606

AC

Docket # 4648
USSN: 10/817,338
A.U.: 2811
Conf. # 3277

Also published as:

FR2647964 (A1)
EP0402188 (B1)

Cited documents:

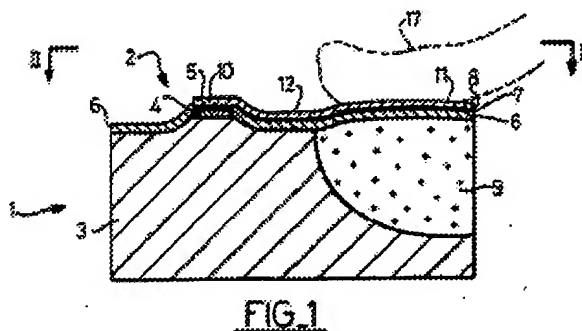
US4733290
DE3421482
GB2028583

Abstract of EP0402188

This component (1) comprises a mesa (2) formed at the surface of a semiconductor substrate (3), the substrate corresponding to a first electrode and the peak of the mesa corresponding to a second electrode of the component.

According to the invention, it comprises on one of its lateral regions a connection region comprising in its surface a wiring pad (11) formed on an insulating substrate (9) with a low dielectric constant, such as a glass, substituted for the semiconductor substrate (3) in this connection region, this wiring pad being connected by a narrow conductive link (12) to the surface (10) of the peak of the mesa in such a way as to connect these two elements electrically.

The connection between the wiring pad (11) and the circuit in which the chip is connected can thus be carried out by a wire (17) having a diameter considerable greater than the diameter of the mesa, which allows this operation to be carried in an industrial manner by means of conventional transfer and connecting machines.



Data supplied from the esp@cenet database - Worldwide

Docket # 4648



USSN: 10/817,338

AC

(19) BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

(12) Übersetzung der
europäischen Patentschrift

(51) Int. Cl.®:
H01L 23/482

(87) EP 0 402 188 B1

(10) DE 690 13 985 T 2

ingl. abstr.

A.U.: 2811
Conf # 3277

DE 690 13 985 T 2

(21) Deutsches Aktenzeichen:	690 13 985.3
(86) Europäisches Aktenzeichen:	90 401 283.8
(86) Europäischer Anmeldetag:	15. 5. 90
(87) Erstveröffentlichung durch das EPA:	12. 12. 90
(87) Veröffentlichungstag der Patenterteilung beim EPA:	9. 11. 94
(47) Veröffentlichungstag im Patentblatt:	16. 3. 95 w

(30) Unionspriorität: (32) (33) (31)
06.06.89 FR 8907453

(73) Patentinhaber:
Thomson-CSF, Paris, FR

(74) Vertreter:
Spott, G., Dipl.-Chem. Dr.rer.nat., 80336 München;
Weinmiller, J., Dipl.-Ing., 82340 Feldafing;
Leißler-Gerstl, G., Pat.-Anwälte, 80336 München

(84) Benannte Vertragsstaaten:
DE, GB

(72) Erfinder:
Mur, Remy, F-92045 Paris La Defense, FR

(64) Chip-Baustein niedriger Kapazität, insbesondere PIN-Chip-Diode.

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patentamt inhaltlich nicht geprüft.

DE 690 13 985 T 2

90401283.8
56739

Die vorliegende Erfindung bezieht sich auf kapazitäts-
arme Halbleiterbauelemente vom Mesatyp und ihren Einsatz in
5 einer Anwendungsschaltung.

Die Erfindung bezieht sich insbesondere auf kapazi-
tätsarme PIN-Dioden vom Mesatyp, wie sie im Mikrowellenbereich
verwendet werden, und die Erfindung wird insbesondere in die-
sem Zusammenhang erläutert werden. Die Erfindung ist jedoch
10 nicht auf dieses Anwendungsbeispiel beschränkt, sondern könnte
auch bei der Herstellung von sehr unterschiedlichen Halblei-
terkomponenten angewendet werden, sofern man sowohl, wie er-
läutert wird, eine geringe Störkapazität und die Möglichkeit
erhalten möchte, einfach und weitgehend automatisch Bestük-
15 kungs- und Verdrahtungsoperationen durchzuführen.

Die PIN-Dioden vom Mesatyp und entsprechende Bauele-
mente liegen in zwei unterschiedlichen Formen entsprechend
zwei unterschiedlichen Techniken vor, nämlich der sogenannten
Chip-Technik und der sogenannten Beam-lead-Technik.

20 Wenn das Bauelement als Chip vorliegt, ist die Bestük-
kung der Schaltung, auf der es verwendet werden soll, aufgrund
der Konditionierung sehr einfach und leicht automatisierbar.
Es gibt nämlich Bestückungsmaschinen und automatische und
relativ robuste Verdrahtungsmaschinen (pick and place), die
25 die verschiedenen erforderlichen Herstellungsschritte mit
großer Geschwindigkeit und großer Zuverlässigkeit durchzufüh-
ren erlauben.

Dagegen ist diese Technik schlecht geeignet für kapa-
30 zitätsarme Mesa-Bauelemente. Die Eigenkapazität des Bauele-
ments ist nämlich direkt proportional zur Mesa-Oberfläche, so
daß man für Bauelemente geringer Kapazität eine sehr kleine
Mesafläche haben muß (typischer Durchmesser bei etwa 10 µm),
so daß es sehr schwer wird, auf der Oberseite der Mesafläche
einen Draht anzubringen.

35 Dieser Draht muß einen kleineren Durchmesser als die

Mesafläche haben, so daß Drahtdurchmesser in der Größenordnung von 8 oder 12 μm gewählt werden müssen, für die es keine Maschinen zur automatischen Verdrahtung auf der Oberseite der Mesafläche gibt. Der Anschluß muß also von Hand erfolgen, was
5 eine vollständig automatische Herstellung der Schaltung ausschließt. Außerdem bleibt in jedem Fall dies eine sehr delikate Operation, da der Draht extrem dünn ist.

Wegen dieser Beschränkung wurde für kapazitätsarme Bauelemente die Chiptechnologie zugunsten der Beam-lead-Technologie verworfen.
10

Letztere Technik besteht darin, selektiv kleine Balken wachsen zu lassen, wobei der Kontakt am fernen Ende der Balken hergestellt wird, das an dieser Stelle so großflächig wie erforderlich gemacht werden kann.

Die Beam-lead-Technik wird beispielsweise in der Druckschrift DE-A-3 421 482 für die Herstellung einer Schottky-Diode mit integriertem RC-Kreis verwendet. Dieses Patentanmeldung lehrt im übrigen, daß die Störkapazität aufgrund eines Mikrobalkens verringert werden kann, indem unter diesem Mikrobalken ein isolierendes Substrat angebracht wird.
15
20

Die Beam-lead-Technik ermöglicht die Herstellung von sehr leistungsfähigen Bauelementen mit großer Zuverlässigkeit.

Diese Technik besitzt jedoch eine Anzahl Nachteile:

- Sie erfordert zahlreiche zusätzliche Verfahrensschritte (Photolithographie, Aufwachsen der Balken, schwierige Manipulation der Bauelemente für ihre Konditionierung), was die Kosten des Bauelements erhöht;
25

- ein erheblicher Teil der Oberfläche des Siliziumplättchens wird nur von den das eigentliche Bauteil umgebenden Balken eingenommen, was erneut die Kosten erhöht, da für einen gegebenen Durchmesser der Scheibe deutlich weniger einzelne Bauelemente als im Fall der Chipbauelemente untergebracht werden können. Dieser Nachteil wird noch verstärkt, da mindestens zwei Balken benötigt werden (eine für den Anodenkontakt an der Oberseite der Mesafläche und die andere für den ohm'
30
35

schen Kontakt der Kathode am Substrat), während in einem Chipbauelement der Kathodenkontakt direkt auf der Rückseite des Bauelements hergestellt wird;

5 - die Bestückung ist schwierig und schließt die Verwendung automatischer, schnell arbeitender Bestückungsmaschinen aus;

10 - nach der Bestückung gibt es keine Elastizitätsmarge mehr (im Gegensatz zur natürlichen Elastizität der Verdrahtung der Chipbauelemente), was zu Schwierigkeiten führt, wenn man das Bauelement auf einer elastischen oder leicht streckbaren Druckschaltung montieren will.

15 Ziel der vorliegenden Erfindung ist es, ein kapazitätsarmes Bauelement vorzuschlagen, das die erwähnten Nachteile der bekannten Chipbauelemente vermeidet, ohne dafür die Begrenzungen der Beam-lead-Technik aufzuweisen. Dieses Ziel wird durch ein Bauelement gemäß Anspruch 1 sowie durch den Einsatz eines solchen Bauelements in einer Nutzschaltung gemäß den Ansprüchen 8 und 9 erreicht.

20 Wie weiter unten im einzelnen genauer erläutert wird, ist das erfindungsgemäße Chipbauelement so gestaltet, daß

 - die Bestückung und Verdrahtung leicht und durch schnelle automatische Maschinen durchgeführt werden können,

25 - das Bauelement Abmessungen in derselben Größenordnung wie klassische Chips besitzt, so daß auf einer gemeinsamen Scheibe sehr viele Bauelemente realisiert werden können,

 - die Mesafläche so klein wie gewünscht sein kann, wodurch man Dioden mit sehr geringer Eigenkapazität erzielen kann,

30 - sich eine geringe Induktivität der Anschlüsse ergibt, insbesondere in gewissen darzulegenden Ausführungsformen,

 - sich nach der Montage eine Elastizität ergibt, die die Verwendung auf verformbaren und/oder sehr dehnbaren Substraten erlaubt.

35 Die Erfindung ist, wie erwähnt, auf kapazitätsarme

Mesa-Bauelemente vom Chip-Typ anwendbar, d.h. auf Bauelemente mit einer Mesafläche, die auf der Oberfläche eines Halbleiter-substrats ausgebildet ist, wobei das Substrat einer ersten Elektrode und die Oberseite der Mesafläche einer zweiten Elektrode des Bauelements entspricht.

Bevorzugte Varianten des Bauelements sind in den Ansprüchen 2 bis 7 definiert.

Nun werden im einzelnen Ausführungsformen der Erfindung anhand der beiliegenden Zeichnungen beschrieben.

Figur 1 zeigt im Schnitt entlang der Linie I-I in Figur 2 eine PIN-Diode, die nach der Lehre der Erfindung hergestellt ist.

Figur 2 zeigt aus der Richtung II-II in Figur 1 das gleiche Bauelement.

Figur 3 zeigt das Bauelement gemäß den Figuren 1 und 2 nach seiner Bestückung und Verdrahtung auf einer Druckschaltung.

Figur 4 zeigt eine Variante zu Figur 1, die sich durch eine geringere Störkapazität der Verbindung auszeichnet.

Figur 5 ist eine Variante zu Figur 1, die eine sogenannte Flip-Chip-Montage erlaubt.

Figur 6 zeigt das Bauelement aus Figur 5 auf seiner Schaltung.

Die Figuren 7 bis 12 zeigen verschiedene Schritte des Herstellungsverfahrens des Bauelements gemäß Figur 1.

Die Figuren 1 und 2 zeigen eine PIN-Diode 1 mit einer Mesafläche 2, die auf der Oberfläche eines Halbleitersubstrats 3 ausgebildet ist. Dieses Substrat ist beispielsweise aus Silizium, wobei dieses Material nicht das einzig mögliche ist. Die Struktur gemäß der Erfindung läßt sich ebenso auf andere Halbleiter wie z.B. GaAs anwenden.

Das Substrat 3 aus Silizium besitzt eine Dotierung vom Typ N und bildet die Kathode der Diode (wollte man die Elektroden umkehren, d.h. die Anode auf dem Substrat ausbilden, dann würde man ein Substrat aus Silizium mit P-Dotierung ver-

wenden). Die Basis der Mesafläche besteht aus einer vorstehenden Verlängerung des Siliziumsubstrats 3, über der sich eine intrinsische Halbleiterschicht 4 und eine Halbleiterschicht 5 mit P-Dotierung befinden, wodurch sich die PIN-Struktur ergibt. Das Ganze ist mit Ausnahme der Mesafläche mit einer Passivierungsschicht 6 bedeckt.

Der Anschluß der Kathode erfolgt unmittelbar durch Kontakt auf der Rückseite des Substrats 3, während der Anodenanschluß auf der Mesafläche durch eine leitende Verbindung 8 erfolgt, die auf die Passivierungsschicht 6 aufgebracht ist, wobei in an sich bekannter Weise eine Haftschrift 7 zwischengelegt wird.

Wie man insbesondere aus Figur 2 erkennt, wird die Verbindung 8 durch eine Zone 10, die den Anschluß auf der Mesafläche herstellt und im wesentlichen denselben Durchmesser wie diese besitzt, durch einen Anschlußfleck 11 größer Abmessungen, auf den ein Anschlußdraht 17 aufgelötet wird, und durch eine schmale Leitbahn 12 gebildet, die die Zonen 10 und 11 miteinander verbindet.

In der Zone des Anschlußflecks 11 und zumindest teilweise in der Zone der Leitbahn 12 wurde das Halbleitersubstrat 3 durch ein isolierendes Substrat 9 mit einer niedrigen Dielektrizitätskonstante ersetzt, beispielsweise einem Glas, das sich mit dem Silizium dehnungsmäßig verbindet.

Die Aufgabe des Substrats mit niedriger Dielektrizitätskonstante ist es, die Störkapazität aufgrund der leitenden Verbindung 11, 12 möglichst zu verringern. Daher wird die Abmessung der Zone 9 vorzugsweise so gewählt, daß der größte Teil der Leitbahn 12 sich über dem Glas befindet, da die Fläche, d.h. die Länge, des Teils der Leitbahn, der sich oberhalb des Halbleitersubstrats 3 befindet, im wesentlichen die Störkapazität des Anschlusses bestimmt, die die Eigenkapazität der Mesafläche ergänzt.

Das so gebildete Bauelement hat beispielsweise Gesamt-
abmessungen von $200 \times 300 \mu\text{m}$, wobei ein Anschlußfleck 11 die

Abmessungen $70 \times 100 \mu\text{m}$ besitzt. Der Durchmesser der Mesafläche (und damit der Zone 10) braucht nicht mehr als $10 \mu\text{m}$ zu betragen.

5 Mit diesen Abmessungen kann man ohne Schwierigkeiten auf den Anschlußfleck 11 einen Draht 17 auflöten, dessen Durchmesser deutlich größer als der der Mesafläche ist, beispielsweise einen Draht von $25 \mu\text{m}$ Durchmesser, während die Mesafläche nur einen Durchmesser von $10 \mu\text{m}$ besitzt.

10 Figur 3 zeigt das auf seine Druckschaltungskarte aufgebrachte und verdrahtete Bauelement.

Diese Druckschaltungskarte enthält beispielsweise zwei auf einem Substrat 15 aufgedruckte verkupferte Leiter 13 und 14. Die Rückseite des Bauelements 1 (Kathodenkontakt) ist mechanisch und elektrisch mit den Leitern 13 durch Lötmetall 15, 16 oder einen Kleber verbunden, während der Anodenkontakt, der auf dem Anschlußfleck 11 erfolgt, über einen Draht 17 hergestellt wird (dessen Durchmesser wie erwähnt erheblich sein kann), der auf den Anschlußfleck 11 und den Leiter 14 durch bekannte Methoden aufgebracht wird, wie z.B. Ultraschallschweißen, Thermokompression oder Wärmeschallschweißen.

20 Diese verschiedenen Verfahrensschritte können leicht vollkommen automatisch und mit hoher Geschwindigkeit in klassischen Bestückungs- und Verdrahtungsmaschinen für Chip-Bauelemente durchgeführt werden.

25 Man erkennt weiter, daß der Draht 17 einen deutlichen Elastizitätsaspekt bietet, durch den die Schaltung ohne jegliche Schwierigkeit Streckungen (durch Pfeile angedeutet) oder andere Verformungen des Substrats 15 unbeschädigt übersteht, wie dies insbesondere bei Verwendung von flexiblen Trägerplatten der Fall ist.

30 In Figur 4 wurde eine Variante dargestellt, gemäß der die Leitbahn 12 der Figuren 1 und 2, die auf der Oberfläche des Bauelements ausgebildet war, durch eine "Luftbrücke" ersetzt ist, so daß nur eine außerordentlich geringe restliche Störkapazität vorliegt, die praktisch nur noch von der Eigen-

kapazität der Mesafläche abhängt.

5 Gemäß dieser Luftbrückentechnik, die an sich bekannt ist, wird die leitende Verbindung 12 nicht mehr auf der Oberfläche des Bauelements, sondern oberhalb dieser und in Abstand dazu ausgebildet, wobei dieser Abstand (in der Größenordnung von 1 bis 2 μm) durch Aufbringen einer dicken Harzschicht auf diese Stelle erhalten wird, die bei der Entwicklung verschwindet und einen Luftraum 18 hinterläßt.

10 Diese Technik, die ganz erheblich die Störkapazität des Bauelements verringert, ist aber in der Herstellung teurer (sie erfordert einen zusätzlichen Verfahrensschritt für das Aufbringen der dicken Harzschicht) und ergibt ein fragileres Bauelement. Für extreme Anforderungen kann diese Technik jedoch unumgänglich sein.

15 Die Figuren 5 und 6 entsprechen den Figuren 1 und 3 für eine Variante, die für eine Flip-Chip-Montage der Diode auf ihrer Schaltung bestimmt ist (umgekehrte Montage).

20 Da das Bauelement bei der Montage umgedreht wird, kann man den Kathodenkontakt nicht mehr auf der Rückseite herstellen. Man bildet dann einen spezifischen ohm'schen Kontakt ähnlich dem Anschlußfleck 11 für die Anode und einen Anschlußfleck 20 für die Kathode, der mit einem unmittelbar mit dem Substrat 3 in Berührung stehenden ohm'schen Kontakt 21 verbunden ist.

25 Das Bauelement, das dann zwei Anschlußflecken enthält, wird wie in Figur 6 gezeigt montiert, wobei die beiden Anschlußflecken 11 und 20 mit den Leitern 13 und 14 über Puffer (bumps) 22 und 23 aus Metall oder einer Legierung mit niedrigem Schmelzpunkt (Gold, Zinn, Blei, Indium usw. oder ihre Legierungen) angeschlossen sind, die über einen Schmelzvorgang oder Thermokompression angelötet werden.

30 Man erkennt, daß in dieser Montageform die Störinduktivität des Drahts 17 aus Figur 3 entfällt, was sowohl eine geringe Kapazität als auch eine geringe Störinduktivität ergibt. Dagegen muß hier auf die natürliche Elastizität des
35

Drahts wie im Fall der Figur 3 verzichtet werden.

Die Figuren 7 bis 12 zeigen schematisch die verschiedenen Schritte des Herstellungsverfahrens für ein erfindungsgemäßes Bauelement, wie es in Figur 1 gezeigt ist.

5 Zuerst (Figur 7) erzeugt man durch Aufwachsen oder Implantierung auf einem Substrat 3 des Typs N die Schichten 4 und 5 (intrinsisch bzw. mit P-Dotierung), die zur Ausbildung der PIN-Struktur bestimmt sind. Diese Schichten werden wie
10 üblich beispielsweise durch Ionenimplantation, Zweiphasendotierung oder epitaxiales Wachstum hergestellt.

Dann (Figur 8) isoliert man die verschiedenen Mesaflächen 2 durch selektives Abätzen.

Der nächste Verfahrensschritt (Figur 9) besteht darin, ebenfalls durch chemisches Ätzen die Verglasungszonen 24 an
15 der Stelle auszuhöhlen, an der die Anschlußflecken liegen sollen. Diese Zonen werden in an sich bekannter Weise durch eine Maske und selektives Ätzen gebildet.

Dann füllt man (Figur 10) die so gebildeten Verglasungszonen 24 mit einem Glas 9, beispielsweise mit einem SOG--
20 Glas in Pulverform, das sich mit dem Silizium des Substrats 3 dehnungsmäßig verbindet. Dann erfolgt die Wärmebehandlung des Glases. In dieser Phase wird auch die Passivierungsschicht 6 aufgebracht, die das ganze Bauteil einschließlich der Flanken der Mesafläche mit Ausnahme dieser Fläche selbst bedeckt.

25 Wählt man die Variante gemäß Figur 4 (Verbindung über eine Luftbrücke), dann wird auch eine Schicht aus dickem Harz 25 aufgebracht, die den Anschluß oberhalb des Substrats zu bilden erlaubt.

Der nächste Verfahrensschritt (Figur 11) ergibt den
30 ohm'schen Anodenkontakt durch allgemeine Beschichtung mit Gold (vorher werden wie üblich Haftsichten aufgebracht), worauf in der Goldschicht 8 selektiv die verschiedenen Metallbereiche 10, 11, 12 der Figur 2 durch Ätzen ausgebildet werden.

Das Substrat wird dann zersägt, um die verschiedenen
35 Bauelemente zu vereinzeln (Figur 12). Gegebenenfalls können

die Bauelemente auf einer "Trommelhaut" geliefert werden, auf die sie direkt aufgetragen worden sind, denn diese Konditionierung ist für die automatische Bestückung mit Chipbauelementen besonders geeignet.

90401283.8

ANSPRÜCHE

- 5 1. Kapazitätsarmes Halbleiterbauelement in Chipbauweise (1) mit einer Mesafläche (2), die auf der Oberfläche eines Halbleitersubstrats (3) ausgebildet ist, wobei das Substrat eine erste Elektrode des Bauelements bildet und die Mesafläche einer zweiten Elektrode des Bauelements entspricht, wobei eine
10 Passivierungsschicht (6) auf die ganze Oberfläche mit Ausnahme der Mesafläche (2) aufgebracht ist, wobei das Substrat auf der Seite seiner Oberfläche einen ersten seitlichen Bereich aufweist, in dem es durch ein anderes, isolierendes Substrat (9) mit geringer Dielektrizitätskonstante ersetzt ist, und wobei
15 das Bauelement weiter einen Anschlußfleck (11) aufweist, der eine Anschlußzone mit größeren Abmessungen als der Durchmesser der Mesafläche (2) bildet und der auf der Passivierungsschicht (6) oberhalb des isolierenden Substrats (9) ausgebildet sowie elektrisch mit der Mesafläche über eine schmale leitende Ver-
20 bindung (12) verbunden ist, deren Breite geringer als der Durchmesser der Mesafläche (2) gewählt ist.
2. Bauelement nach Anspruch 1, dadurch gekennzeichnet, daß das Material des isolierenden Substrats mit niedriger Dielektrizitätskonstante (9) ein Glas ist.
25
3. Bauelement nach einem der Ansprüche 1 und 2, dadurch gekennzeichnet, daß es eine PIN-Diode in Chipbauweise bildet.
- 30 4. Bauelement nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, daß der größte Teil der schmalen leitenden Verbindung (12) sich oberhalb des isolierenden Substrats (9) befindet.
- 35 5. Bauelement nach einem der Ansprüche 1 bis 4, dadurch ge-

kennzeichnet, daß die schmale leitende Verbindung (12) eine Leitbahn ist, die auf der Passivierungsschicht (6) ausgebildet ist.

5 6. Bauelement nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, daß die schmale leitende Verbindung (12) ein Luftbrückenanschluß ist, der oberhalb der Passivierungsschicht (6) und in Abstand zu dieser ausgebildet ist.

10 7. Bauelement nach einem der Ansprüche 1 bis 6, dadurch gekennzeichnet, daß es in einem zweiten seitlichen Bereich, der dem ersten seitlichen Bereich hinsichtlich der Mesafläche gegenüberliegt, eine zweite Anschlußzone (19) aufweist, die auf der Oberfläche und auf der Passivierungsschicht (6) einen
15 zweiten Anschlußfleck (20) besitzt, der elektrisch mit dem Halbleitersubstrat (3) über einen ohm'schen Kontakt (21) verbunden ist.

20 8. Montage des Chipbauelements gemäß einem der Ansprüche 1 bis 6 auf einer Schaltung, dadurch gekennzeichnet, daß eine Verbindung zwischen dem Anschlußfleck (11) und einem ersten Leiter (14) der Schaltung mit Hilfe eines Drahts (17) erfolgt, dessen Durchmesser deutlich größer als der der Mesafläche ist und der auf den Anschlußfleck (11) aufgebracht wird, wobei die
25 Verbindung an der anderen Elektrode durch Aufbringen des Bauelements mit direktem Kontakt der Rückseite des Substrats auf einen zweiten Leiter (13) der Schaltung erfolgt.

30 9. Montage des Chipbauelements gemäß Anspruch 7 auf einer Schaltung, dadurch gekennzeichnet, daß die Verbindungen zwischen den Anschlußflecken (11, 20) und den Leitern (13, 14) der Schaltung durch Flip-Chip-Montage des Bauelements auf den Leitern (13, 14) erfolgt.

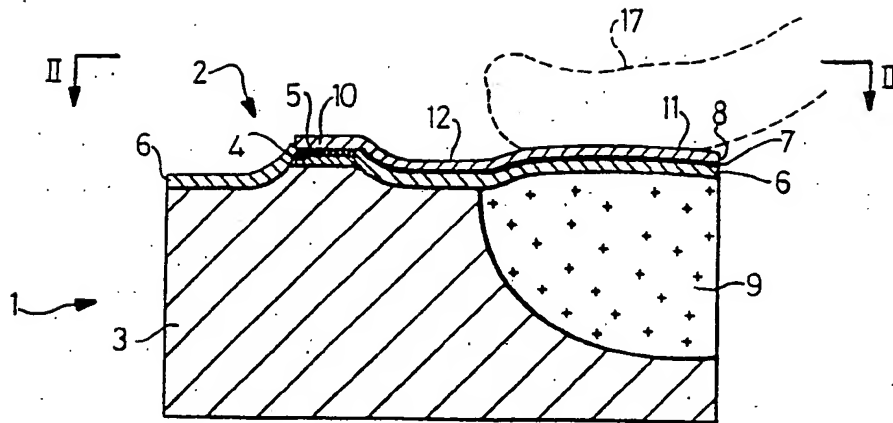


FIG. 1

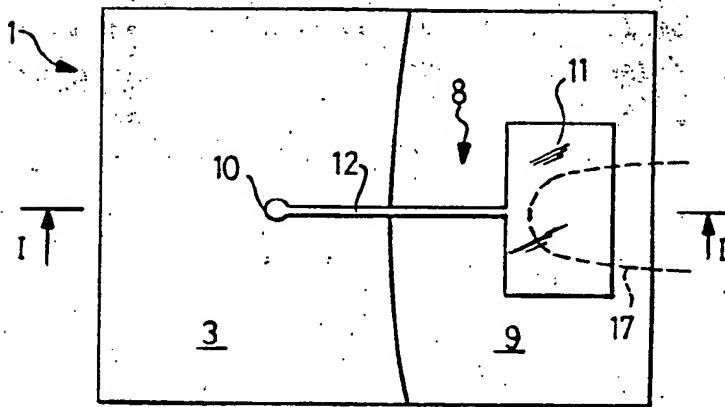


FIG. 2

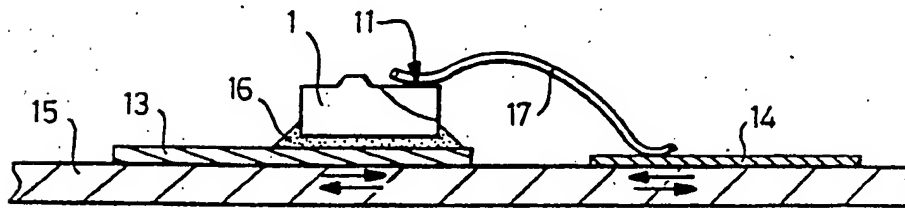
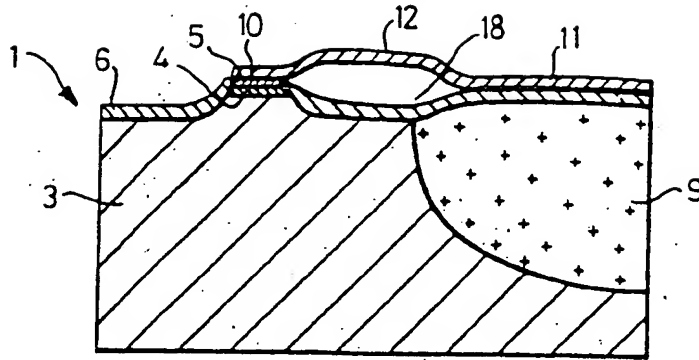
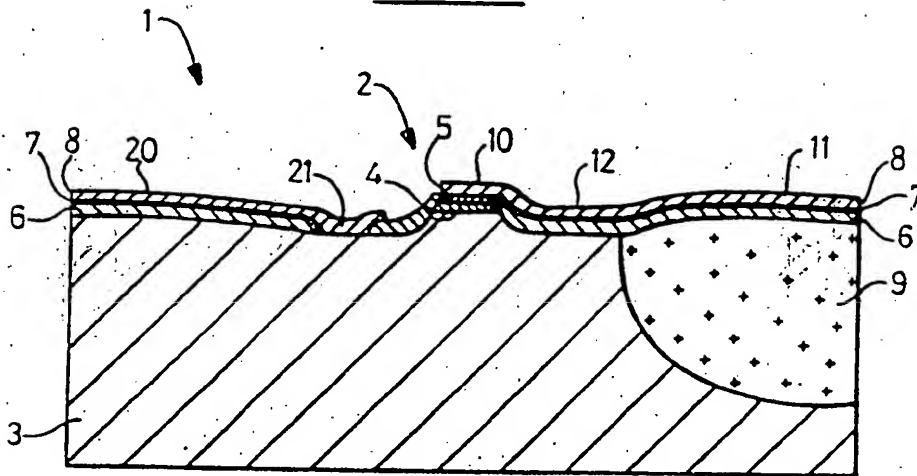


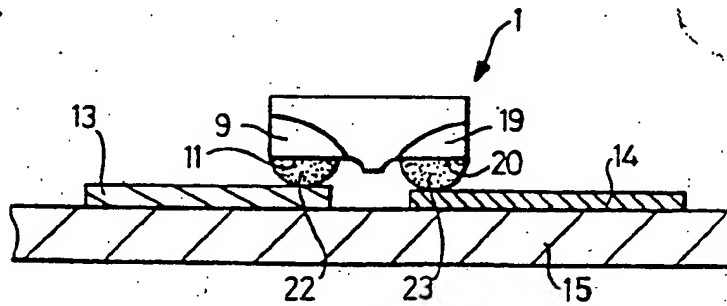
FIG. 3



FIG_4



FIG_5



FIG_6

